

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
010154282      \*\*Image available\*\*

WPI Acc No: 1995-055534/199508

XRAM Acc No: C95-025195

XRPX Acc No: N95-043723

**Semiconductor device production method - involves introduction of metal element on silicon film so that below normal crystallising temperature it is crystallised by annealing**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6333825	A	19941202	JP 93142881	A	19930521	199508 B

Priority Applications (No Type Date): JP 93142881 A 19930521

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6333825	A		6 H01L-021/20	

Abstract (Basic): JP 6333825 A

The semiconductor device production method involves formation of an insulating film (102) on a glass substrate (101). An amorphous silicon film (104) is formed on the insulating film. A metal element which promotes crystallisation is introduced on the silicon film. An insulating film (105) and a PSG film (106) are formed on the surface of the amorphous silicon film one by one in order. The metal element is made as a catalyst so that the silicon film is crystallised by annealing at a temperature of 600deg.C or less.

ADVANTAGE - Reduces influence of metal element.

Dwg.1/2

Title Terms: SEMICONDUCTOR; DEVICE; PRODUCE; METHOD; INTRODUCING; METAL; ELEMENT; SILICON; FILM; SO; BELOW; NORMAL; CRYSTAL; TEMPERATURE; CRYSTAL; ANNEAL

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): H01L-021/322; H01L-021/336;

H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04661925     \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:     06-333825 [JP 6333825 A]

PUBLISHED:     December 02, 1994 (19941202)

INVENTOR(s):   TERAMOTO SATOSHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:     05-142881 [JP 93142881]

FILED:             May 21, 1993 (19930521)

INTL CLASS:     [5] H01L-021/20; H01L-021/322; H01L-021/336; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

#### ABSTRACT

PURPOSE: To reduce the influence of a metallic element which is a catalyst material remaining in a crystalline silicon film by performing gettering for a metallic element (e.g. nickel) in the crystalline silicon film which is a catalyst material introduced for promoting crystallization by a PSG film provided on a substrate.

CONSTITUTION: After a foundation film 102 is formed on a substrate 101 and an amorphous silicon film 104 is formed, a silicon nickel film is formed and nickel for promoting crystallization is introduced. A silicon oxide film 105 and a PSG film 106 are further formed. The amorphous silicon film 104 is annealed at a temperature below a crystallization temperature for crystallizing the amorphous silicon film 104. In the process, gettering is performed for the nickel made to function as a catalyst when the amorphous silicon film 104 is crystallized through existence of the PSG film 106. Thereby, it is possible to prevent detrimental effect of a nickel element on operation of the device.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333825

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8122-4M		
21/322	R	8617-4M		
21/336				
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
			審査請求 未請求	請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平5-142881

(22) 出願日 平成5年(1993)5月21日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 寺本 聡

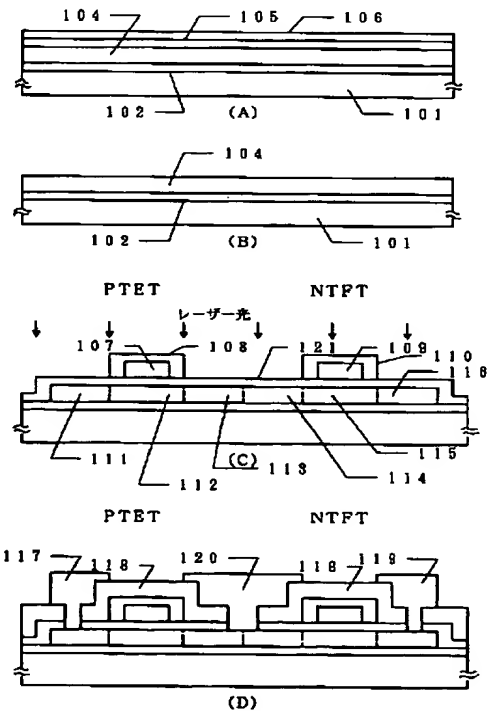
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

## (54) 【発明の名称】 半導体装置作製方法

## (57) 【要約】

【目的】 結晶シリコン膜中の金属元素の影響を低減する。

【構成】 基板101上に絶縁膜102を設け、さらにアモルファスシリコン膜104を設け、アモルファスシリコン膜104上に、結晶化を助長する金属元素を導入し、さらに絶縁膜105とPSG膜106を成膜する。そして、この金属元素を触媒材料として、600℃以下の温度でシリコン膜104を結晶化させる。この際、PSG膜99の作用で、金属元素がゲッターリングされる。



## 【特許請求の範囲】

【請求項1】 基板上に実質的にアモルファス状態のシリコン膜を形成する工程と、

前記工程の前または後にニッケル、鉄、コバルト、白金のうち、少なくとも1つの元素を含む膜を成膜する工程と、

前記結晶化したシリコン膜上に絶縁膜を形成する工程と、

前記絶縁膜上にP S G膜を形成する工程と、

前記シリコン膜を通常のアモルファスシリコン膜の結晶化温度以下の温度でアニールすることにより結晶化させる工程と、

を有する半導体装置作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上に利用分野】本発明は、アモルファスシリコン膜を加熱アニールによって結晶化させた結晶シリコン膜を半導体装置に利用することに関する。

## 【0002】

【従来の技術】従来より、ガラス基板上に多数のT F T（薄膜トランジスタ、一般には薄膜シリコン半導体を用いた絶縁ゲート型電界効果半導体装置が用いられる）をマトリック状に設け、やはりマトリックス状に設けられた画素を駆動するアクティブマトリックス型液晶表示装置が知られている。このアクティブマトリックス型液晶表示装置の画素の駆動に用いられるT F Tとしては、アモルファスシリコンを用いたものが一般的であるが、さらなる性能の向上を計るためには、結晶性を有するシリコン（以下結晶シリコンという）を用いることが有効である。

【0003】結晶シリコンを形成する方法としては、気相法やスパッタ法で形成したアモルファスシリコンにレーザー光のエネルギーを与えて結晶化させる方法、さらには気相法やスパッタ法で形成したアモルファスシリコンを加熱アニールし、結晶化させる方法が知られている。しかしながら、レーザー光を用いる方法は、レーザー光の照射面積が小さく、また再現性の問題等から実用性が低い。また加熱アニールによる方法は、加熱温度が600℃以上必要であり、基板としてガラス基板（一般にコーニング7059ガラスが用いられる）を用いる場合には、600℃の温度では温度がやや高く（コーニング7059ガラスの歪点は593℃）、大面積基板を用いる場合には問題があった。またこの場合、600℃の温度で24時間程度加熱アニールする必要がある、生産性の観点からも問題があった。

【0004】一方、アモルファスシリコン膜に微量のニッケル元素を導入し、しかる後に加熱アニールを行うと、550℃、4時間程度の加熱アニールによって結晶化することが実験的に確かめられている。しかしながら、このニッケルを触媒材料として、熱アニールによる

結晶化を助長する方法は、結晶シリコン中に金属元素であるニッケルが残留してしまい、この結晶シリコンを用いて半導体装置（例えばT F T）を作製した際に、その性能や信頼性に低下をきたすことが懸念される。

## 【0005】

【発明が解決しようとする課題】そこで、本発明は、550℃程度（実験では450℃程度でも結晶化が見られた）の温度でのアニールで結晶性シリコン膜がガラス基板上に形成できる方法において、結晶シリコン膜中に残存する結晶化のための触媒材料である金属元素の影響を低減させる構成、さらにはその方法を提供することを目的とする。

【0006】本発明は、基板上に実質的にアモルファス状態のシリコン膜を形成する工程と、前記工程の前または後にニッケル、鉄、コバルト、白金のうち、少なくとも1つの元素を含む膜を成膜する工程と、前記結晶化したシリコン膜上に絶縁膜を形成する工程と、前記絶縁膜上にP S G膜を形成する工程と、前記シリコン膜を通常のアモルファスシリコン膜の結晶化温度以下の温度でアニールすることにより結晶化させる工程と、を有する半導体装置作製方法を要旨とするものである。

【0007】上記発明は、基板上に設けられたP S G膜によって、結晶化を助長するために導入した触媒材料である結晶シリコン膜中の金属元素（例えばニッケル）をゲッターリングさせんとするものである。上記発明において、P S G膜というのは、リンシリサイドガラス（Phosphosilicate Glass）のことであり、公知のように塗布や気相法によって形成することができる。

【0008】シリコン膜の結晶化を助長するための触媒材料である金属元素としては、ニッケル、鉄、コバルト、白金の内、少なくとも一つの元素を用いることができる。

【0009】実質的なアモルファス状態の膜の作製方法としては、公知のプラズマC V D法や減圧熱C V D法、さらには光C V D法やスパッタ法を挙げることができる。この実質的なアモルファス状態の膜というのは、通常アモルファスシリコン太陽電池やアモルファスシリコンT F Tに用いられるアモルファスシリコン半導体膜のことである。

【0010】通常のアモルファスシリコン膜の結晶化温度というのは、前述したように600℃以上の温度のことをいう。即ち、本発明においては、600℃以下の温度で結晶化ができることを特徴とするものである。本発明における結晶化の工程は、550℃の温度であれば4時間程度で十分であることが確認されており、また450℃程度の温度でも可能であることが確認されている。従って、本発明における結晶化のためのアニール温度は、450℃～550℃の温度（勿論基板の耐熱性等の問題が許せばそれ以上の温度でもよい）であると定めることができる。

## 【0011】

【作用】PSG膜が存在することによって、シリコン膜を結晶化させる際に触媒として作用させたニッケル等の金属元素をゲッターリングすることができ、この結晶化したシリコン膜を利用した半導体装置の電気的特性や安定性を向上させることができる。

## 【0012】

【実施例】【実施例1】本実施例は、ガラス基板上に結晶シリコンを用いたPチャネル型TFT（PTFTという）とNチャネル型TFT（NTFTという）とを相補型に組み合わせた回路を形成する例である。本実施例の構成は、アクティブ型の液晶表示装置の周辺ドライバー回路や画素部分のスイッチング素子（相補型回路によって画素の駆動を行う）に利用することができる。

【0013】図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）101上にスパッタリング法によって厚さ100～2000Åここでは500Å厚さに酸化珪素の下地膜102を形成した。つぎにスパッタリング法によって、厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ ）を成膜する。この工程によって、下地膜102上、言い換えるならば後に成膜されるアモルファスシリコン膜104下に珪化ニッケル膜として、ニッケルが導入されたことになる。

【0014】また下地膜102の上にアモルファスシリコン膜104を成膜した後、珪化ニッケル膜を成膜してもよい。即ち、ニッケルが導入されるのは、アモルファスシリコン膜104の下側であっても、また上側でもよい。

【0015】つぎに、プラズマCVD法によって、厚さ500～1500Å、例えば1000Åの真性（I型）のアモルファスシリコン膜104を成膜した。さらに酸化珪素膜105をTEOSと酸素とを用いたプラズマCVD法によって1000Åの厚さに成膜した。さらに、スピコート法によって1000Åの厚さにPSG膜106を形成した。さらに200℃、30分の条件でこのPSG膜のベーク工程を行った。PSG膜の材料としては、市販の酸化珪素系被膜の形成用塗布液を用い、Pの濃度が $5 \times 10^{14} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるようにした。またその厚さは、200～2000Åの厚さの範囲で設定すればよい。

【0016】そして、これを水素還元雰囲気下（好ましくは、水素の分圧が0.1～1気圧）、550℃で4時間アニールしてシリコン膜104を結晶化させた。この際、珪化ニッケル膜が成膜された領域において、基板101に対して垂直方向にシリコン膜104の結晶化が起こる。ここでは、全面に珪化ニッケル膜を形成したので、シリコン膜104の全体が結晶化する。（図1（B））

【0017】上記工程の結果、アモルファスシリコン膜

を結晶化させて、結晶シリコン膜104を得ることができた。そして、酸化珪素膜105とPSG膜106とを取り除いた。その後、結晶シリコン膜104をパターニングすることで素子間分離を行った。つぎに、スパッタリング法によって厚さ1000Åの酸化珪素膜121をゲイト絶縁膜として成膜した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素＝0～0.5、例えば0.1以下とした。引き続き、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム（0.1～2%のシリコンを含む）を成膜した。なお、この酸化珪素膜121とアルミニウム膜の成膜工程は連続的に行うことが望ましい。

【0018】そして、シリコン膜をパターニングして、ゲイト電極107、109を形成した。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層108、110を形成した。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行った。得られた酸化物層108、110の厚さは2000Åであった。なお、この酸化物層108と110とは、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0019】次に、イオンドーピング法によって、シリコン領域にゲイト電極107とその周囲の酸化層108、ゲイト電極109とその周囲の酸化層110をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）およびジボラン（ $\text{B}_2\text{H}_6$ ）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とした。ドーピングに際しては、一方の領域をフォトレジストで覆うことによって、それぞれの元素を必要とする場所に選択的にドーピングした。この結果、N型の不純物領域114と116、P型の不純物領域111と113が形成され、Pチャネル型TFT（PTFT）の領域とNチャネル型TFT（NTFT）との領域を形成することができた。

【0020】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー（波長248nm、パルス幅20ns）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200～400mJ/cm<sup>2</sup>、例えば250mJ/cm<sup>2</sup>とし、一か所につき2～10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200～450℃程度に加熱することは有用である。

【0021】続いて、厚さ6000Åの酸化珪素膜118を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線117、120、119を形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行った。以上の工程によって半導体回路が完成した。(図1(D))この回路は、ゲート電極が入力となり、電極120が出力となる相補型の構成となる。

【0022】本実施例においては、ニッケルを導入する方法として、アモルファスシリコン膜104下の下地膜102上に選択的にNiを薄膜(極めて薄いので、膜として観察することは困難である)を全面に成膜し、シリコン膜104全体を一様に結晶成長させたが、一部分にニッケルを導入することで、選択的に結晶化をさせることもできる。その際、ニッケルが導入された領域の周囲では結晶成長が、膜と平行な方向に向かって起こるので、結晶成長の向きとキャリアの移動する方向を合わせることにより、例えば高移動度を有するTFTを作ることができる。本実施例においては、結晶シリコン膜中に含まれるニッケル元素の濃度を、SIMS(二次イオン質量分析法)で調べたところ、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ であった。

【0023】また、予めアモルファスシリコンを成膜し、さらにイオンドーピング法を用いて、ニッケルイオンをアモルファスシリコン膜104に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を有する。

【0024】〔実施例2〕本実施例は、アクティブ型の液晶表示装置において、Nチャネル型TFTをスイッチング素子として各画素に設けた例である。以下においては、一つの画素について説明するが、他に多数(一般には数十万)の画素が同様な構造で形成される。

【0025】本実施例の作製工程の概略を図2に示す。本実施例において、透光性の絶縁基板301として、コーニング7059ガラス基板(厚さ1.1mm、 $300 \times 400 \text{ mm}$ )を使用した。まず、このガラス基板上に下地膜302(酸化珪素膜)を1000Åの厚さにスパッタ法で形成する。この酸化珪素膜中には、ニッケルのゲッターリング効果を高めるために、塩素を添加した。

【0026】この後、LPCVD法もしくはプラズマCVD法でアモルファスシリコン膜303(厚さ300~1500Å、ここでは1000Å)を形成し、この後珪化ニッケル膜(極めて薄いので図示せず)を成膜した。この珪化ニッケル膜は、スパッタリング法によって、厚さ5~200Å、例えば20Åの厚さに形成する。この珪化ニッケル膜は、化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$ で示される。即ち、本実施例の構成においては、アモルファスシリコン膜303を成膜後に、その上面にニッケルを珪化ニッケル膜として

導入した。

【0027】さらに酸化珪素膜304を実施例1と同様にTEOSと酸素とを用いたプラズマCVD法によって1000Åの厚さに成膜した。そして、実施例1と同様にして、PSG膜305を200~2000Å、ここでは1000Åの厚さにスピコート法で塗布し、200℃、30分のベーク工程で成膜を行った。

【0028】この後、400℃で1時間脱水素化を行い、加熱アニールによって結晶化を行った。このアニール工程は、水素還元雰囲気下(好ましくは、水素の分圧が0.1~1気圧)、550℃で4時間行った。この際、アモルファスシリコン膜303上には、珪化ニッケル膜が成膜されているので、珪化ニッケル膜から結晶化が基板201に垂直方向に起こる。そして、基板201に垂直方向に結晶成長した結晶シリコン膜を得ることができる。(図2(B))

【0029】そして、この結晶シリコンよりなる半導体領域(303で示される部分)をパターニング(素子間分離)して島状の半導体領域(TFTの活性層)を形成した。さらにテトラ・エトキシ・シラン(TEOS)を原料として、酸素雰囲気中のプラズマCVD法によって、酸化珪素のゲート絶縁膜(厚さ700~1200Å、典型的には1000Å)300を形成した。基板温度はガラスの縮みやソリを防止するために400℃以下、好ましくは200~350℃とした。しかしながら、この程度の基板温度では、酸化膜中には多量の炭化水素基が含まれ、多くの再結合中心が存在し、例えば、界面準位密度は $10^{12} \text{ cm}^{-2}$ 以上でゲート絶縁膜としては使用できないレベルのものであった。

【0030】そこで、図2(C)に矢印で示すようにKrFレーザー光を照射して、この結晶性シリコン膜の結晶性を助長せしめると同時に、ゲート酸化膜300の再結合中心(トラップセンター)を減少させ、ゲート酸化膜300の特性の改善を図った。また、このレーザー照射は10torr以下の減圧下で行われるのが好ましい。なぜならば、減圧状態の方が酸化膜中の炭素原子の離脱が容易であるからである。このときにはレーザー光のエネルギー密度は $250 \sim 300 \text{ mJ/cm}^2$ と設定し、また、ショット数も10回とした。この際基板温度を好ましくは、200~400℃、代表的には300℃に保つと良い。その結果、シリコン膜204は結晶性が改善され、また、ゲート酸化膜の界面準位密度も $10^{11} \text{ cm}^{-2}$ 以下に減少した。

【0031】次に、アルミニウムのゲート電極306を形成し、基板ごと電解溶液に浸漬して、これを陽極として通電し、ゲート電極等のアルミニウム配線表面に陽極酸化物の層314を厚さ2000Å形成した。この工程の完了した様子を図3(C)に示す。また、陽極酸化工程が終了した後に、逆に負の電圧、例えば-100~-200Vの電圧を0.1~5時間印加してもよい。この

ときには、基板温度は100～250℃、代表的には150℃とすることが好ましい。この工程によって、酸化珪素中あるいは酸化珪素とシリコン界面にあった可動イオンがゲイト電極(A1)に引き寄せられる。

【0032】その後、N型の不純物として、硼素をイオンドーピング法でシリコン膜に自己整合的に注入し、TFTのソース/ドレイン307、309、さらにはチャネル形成領域308を形成した。さらに、図2(C)に示すように、これにKrFレーザー光を照射して、このイオンドーピングのために結晶性の劣化したシリコン膜の結晶性を改善せしめた。このときにはレーザー光のエネルギー密度は250～300mJ/cm<sup>2</sup>と設定した。このレーザー照射によって、このTFTのソース/ドレインのシート抵抗は300～800Ω/cm<sup>2</sup>となった。

【0033】その後、ポリイミドによって層間絶縁物310を形成し、さらに、画素電極313をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース/ドレイン領域にクロム/アルミニウム多層膜で電極311、312を形成し、このうち一方の電極312は画素電極であるITO313にも接続するようにした。クロム/アルミニウム多層膜は、下層にクロム膜20～2000Åここでは1000Å、上層にアルミニウム膜1000～20000Åここでは5000Åが成膜されてできている。これらは連続的にスパッタ法にて形成することが望まれる。最後に、水素中で200～300℃で2時間アニールして、シリコンの水素化を完了した。このようにして、TFTが完成した。そして、同時に作製した多数のTFTをマトリクス状に配列せしめてアクティブマトリクス型液晶表示装置の表示部分の一方の基板を完成させた。

【0034】以上の実施例1および実施例2の構成を採用することで、結晶シリコン中に存在するニッケル元素をゲッタリングさせることができ、装置の動作時ににおいて、ニッケル元素が動作に悪影響を及ぼすことを防ぐことができる。

【0035】また、以上の本実施例においては、ゲッタリングを行う材料としてPSG膜(リンシリケートガラス)を用いたが、この他にBSG膜(ボロンシリケートガラス)やBPSG膜を用いることができる。さらに、これらの膜中にハロゲン元素(例えば塩素)を添加し、ゲッタリング効果を高めてもよい。また、これらの膜の成膜方法としては、平坦性を確保するためにスピコート法を用いたが、気相法で作製する方法を採用したもよい。

#### 【0036】

【効果】基板上にPSG膜を形成し、しかる後に下地酸化珪素膜を形成し、さらにニッケル等の金属元素によって低温結晶化(従来よりも低温での結晶化という意味)させた結晶シリコンを形成する構成とすることによって、この結晶シリコンを用いた半導体装置の電気的特性が、ニッケルの存在によって悪影響を受けることを防ぐことができた。

#### 【図面の簡単な説明】

【図1】 実施例の作製工程を示す。

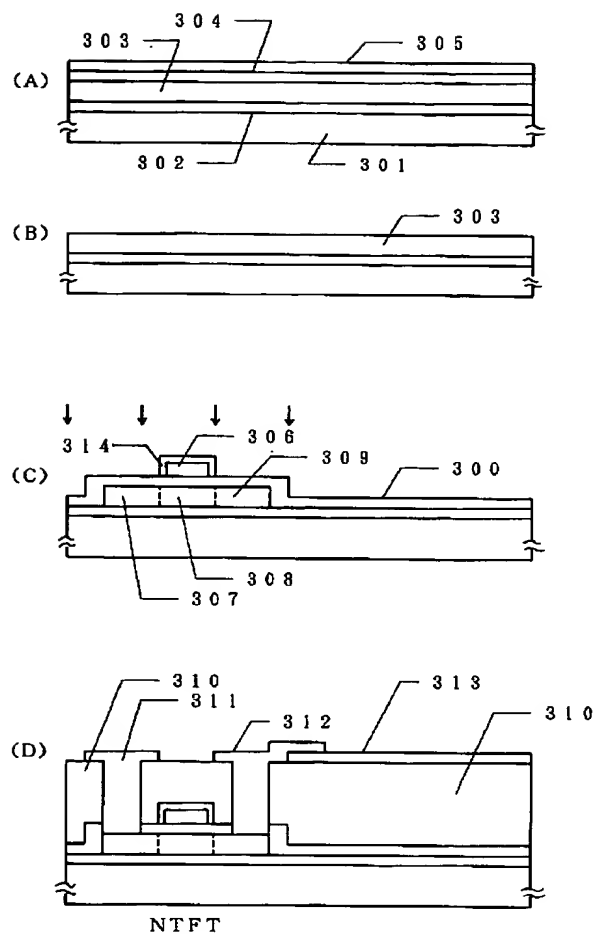
【図2】 実施例の作製工程を示す。

#### 【符号の説明】

101	ガラス基板
102	下地膜(酸化珪素膜)
104	シリコン膜
105	絶縁膜(酸化珪素膜)
106	PSG膜
107	ゲイト電極
108	陽極酸化層
109	ゲイト電極
110	陽極酸化物層
111	ソース/ドレイン領域
112	チャネル形成領域
113	ドレイン/ソース領域
114	ソース/ドレイン領域
115	チャネル形成領域
116	ドレイン/ソース領域
117	電極
118	層間絶縁物
120	電極
119	電極
301	ガラス基板
302	下地膜(酸化珪素膜)
303	シリコン膜
304	絶縁膜(酸化珪素膜)
300	ゲイト絶縁膜
306	ゲイト電極
307	ソース/ドレイン領域
308	チャネル形成領域
309	ドレイン/ソース領域
310	層間絶縁物
311	電極
312	電極
313	ITO(画素電極)
314	陽極酸化物層



【図 2】



Japanese Patent Application Laid-Open Number 6-333825

Publication Date: December 2, 1994

Application No.: 5-142881

Filing Date: May 21, 1993

Int. Class. No.: H01L 21/20; 21/322; 21/336; 29/784

Inventor: Satoshi Teramoto

Applicant: SEMICONDUCTOR ENERGY LAB CO LTD

## Specification

(54) Title of Invention: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

## (57) Summary

[Purpose] To reduce an influence of a metal element in a crystalline silicon film.

[Constitution] After an insulating film 102 is formed on a substrate 101, an amorphous silicon film 104 is further formed. An insulating film 105 and a PSG film 106 are formed on the amorphous silicon film 104 by introducing a metal element for promoting crystallization. Then, a silicon film 104 is crystallized at a temperature not more than 600°C using this metal element as a catalyst material. In this process, gettering is performed on the metal element by a function of the PSG film 99.

## [What is claimed]

[Claim 1] A manufacturing method of a semiconductor device comprising the steps of:

- forming a silicon film which is substantially an amorphous condition on a substrate;

- forming a film comprising at least one element of nickel, iron, cobalt and platinum before or after said process;

- forming an insulating film on said crystallized silicon film;

- forming a PSG film on said insulating film; and

- crystallizing said silicon film by annealing at the temperature not more than a crystallization temperature of a normal amorphous silicon film.

## [Detailed Description of the Invention]

[0001]

[Field of the invention] The present invention relates to make use of a crystalline silicon film crystallized by a thermal annealing an amorphous silicon film for a semiconductor device.

[0002]

[Prior art] Conventionally, an active matrix type liquid crystal display device

wherein a lot of TFTs (thin film transistor, commonly an insulated gate type electric field effect semiconductor device using a thin film silicon semiconductor is used) are provided in a matrix shape, and which drive pixels provided also in a matrix shape, is known. As a TFT used for driving pixel of this active matrix type liquid crystal display device, the TFT using amorphous silicon is common, and it is effective to use silicon with crystallinity (hereinafter referred as crystalline silicon) in order to improve further performance.

[0003] As methods of forming crystalline silicon, a method of crystallizing amorphous silicon which is formed by the vapor phase growing method or the sputtering by supplying a laser beam energy, and a method of crystallizing amorphous silicon which is formed by the vapor phase growing method or the sputtering by a thermal annealing are known. However, the method using a laser beam is not practical because of a small irradiating area of a laser beam, and a problem of reproduction, etc. Also, the method by the thermal annealing which needs the heating temperature not less than 600°C. When a glass substrate (commonly Corning 7059 glass is used) is used as a substrate, the temperature of 600°C is slightly high (the distortion point of the Corning 7059 glass is 593°C). Therefore, there is a problem in case of using a large area substrate. Besides in this case, the thermal annealing is needed at 600°C for about 24 hours so that there is a problem from the viewpoint of productivity.

[0004] On the other hand, in case that an amorphous silicon film into which a very small quantity of nickel element is introduced and on which thereafter the thermal annealing is performed, it is confirmed experimentally that silicon is crystallized by the thermal annealing at 550°C for about 4 hours. However, the method promoting crystallization by the thermal annealing using nickel as catalyst material has an anxiety of reducing the performance and the reliability in case of manufacturing a semiconductor device (for example TFT) using this crystalline silicon, because nickel of a metal element is remained in the crystalline silicon.

[0005]

[Problems to be solved by the Invention] Then, the present invention, in the method that the crystalline silicon film is formed on a glass substrate by annealing at the temperature of about 550°C (crystallization is observed at about 450°C in an experiment.), has the purpose to offer a constitution and a method of reducing the influence by a metal element of a catalyst material for crystallization remained in a crystalline silicon film.

[0006] The present invention is characterized by a manufacturing method of a semiconductor device comprising the steps of:

forming a silicon film which is substantially an amorphous condition on a

substrate;

forming a film containing at least one element among nickel, iron, cobalt or platinum before or after said process;

forming an insulating film on said crystallized silicon film;

forming a PSG film on said insulating film; and

crystallizing said silicon film by annealing at the temperature not more than a crystallization temperature of a normal amorphous silicon film.

[0007] The above invention intends to perform gettering for a metal element (nickel, for example) in the crystalline silicon film that a catalyst material introduced for promoting crystallization by a PSG film provided on a substrate. The PSG film in the above invention is Phosphosilicate Glass, which can be formed by an application or the vapor phase growing method generally known.

[0008] As a metal element of a catalyst material for promoting crystallization of a silicon film, at least one element of nickel, iron, cobalt and platinum can be used.

[0009] As a method of forming a film in a substantial amorphous condition, a known plasma CVD method, low-pressure thermal CVD method, photo-CVD method, or sputtering can be enumerated. This substantial amorphous condition film is an amorphous silicon semiconductor film used in an amorphous silicon solar cell and an amorphous silicon TFT.

[0010] A normal crystallization temperature of an amorphous silicon film means the temperature not less than 600°C as mentioned above. That is to say, the present invention is characterized by crystallization at the temperature not more than 600°C. It is confirmed that the process at 550°C for about four hours is enough for crystallization in the present invention, and the process at about 450°C is also possible. Therefore, it is decided that the annealing temperature for crystallization in the present invention is between 450°C and 550°C (of course, the higher temperature is possible if there is no problem such as the heat-resistance etc. of a substrate).

[0011]

[Action] An existence of a PSG film can perform gettering for a metal element such as nickel etc. functioned as a catalyst in crystallizing a silicon film, and improve the electric characteristic and the stability of a semiconductor device using this crystallized silicon film.

[0012]

[Embodiment] (Embodiment 1) The present embodiment is an example forming a complementary combination circuit of a P channel type TFT (PTFT) and an N channel type TFT (NTFT) wherein crystalline silicon is used on a glass substrate. The constitution of the present embodiment can be used in a peripheral driver circuit of an active type liquid crystal display device and a switching element of a

pixel portion (driving a pixel by a complementary circuit).

[0013] Figure 1 shows a cross sectional view of a manufacturing process of the present embodiment. First, a base film 102 of silicon oxide is formed to a thickness of 100 Å to 2000 Å, in this embodiment 500 Å by the sputtering on a substrate (Corning 7059) 101. Next, a nickel silicide film (Chemical formula  $\text{NiSi}$ ,  $0.4 \leq x \leq 2.5$ , for example  $x=2.0$ ) is formed to a thickness of 5 Å to 200 Å, for example, 20 Å by the sputtering. By this process, nickel is introduced as a nickel silicide film on the base film 102, in other words, under an amorphous silicon film 104 formed substantially.

[0014] Also the nickel silicide film can be formed after the amorphous silicon film 104 is formed on the base film 102. That is to say, an introduction of nickel can be performed under or over the amorphous silicon film 104.

[0015] Next, the intrinsic (I type) amorphous silicon film 104 is formed to a thickness of 500 Å to 1500 Å, for example, 1000 Å by the plasma CVD method. Then, a silicon oxide film 105 is formed to a thickness of 1000 Å by the plasma CVD method using TEOS and oxygen. Furthermore, a PSG film 106 is formed to a thickness of 1000 Å by the spin coat method. Next, a baking process of this PSG film is performed at 200°C for thirty minutes. Coating solution for forming a silicon oxide film on the market is used as a material of the PSG film, and a concentration of P is  $5 \times 10^{14}$  to  $5 \times 10^{21} \text{cm}^{-3}$ . The thickness can be set from 200 Å to 2000 Å.

[0016] The silicon film 104 is crystallized by annealing in a hydrogen reduction atmosphere of (preferably, a partial pressure of hydrogen is 0.1 to 1atm), at 550°C for four hours. On this occasion, the silicon film 104 is crystallized vertically to the substrate 101 in the region in which the nickel silicide film is formed. In this case, the whole of the silicon film 104 is crystallized because the nickel silicide film is formed overall. (Figure 1 (B))

[0017] As a result of the above-mentioned process, the crystalline silicon film 104 can be obtained by crystallizing the amorphous silicon film. Then, the silicon oxide film 105 and the PSG film 106 are removed. After that, elements are separated each other by patterning the crystalline silicon film 104. Next, a silicon oxide film 121 is formed to a thickness of 1000 Å by the sputtering as a gate insulating film. Silicon oxide is used as a target in sputtering, and the substrate temperature is at 200°C to 400°C, for example, 350°C; a sputtering atmosphere is oxygen and argon, argon/oxygen=0 to 0.5, for example, not more than 0.1. Continuously, an aluminum film (containing silicon of 0.1% to 2%) is formed to a thickness of 6000 Å to 8000 Å, for example, 6000 Å by sputtering. Besides, it is desired that the forming processes of the silicon oxide film 121 and the aluminum film are performed in series.

[0018] Then, gate electrodes 107 and 109 are formed by patterning the silicon film. Moreover, the surfaces of the aluminum electrodes are anodized so that oxide layers 108 and 110 are formed on the surfaces. This anodic oxidation is performed in ethylene glycol solution containing tartaric acid of 1% to 5%. The thickness of the obtained oxide layers 108 and 110 is 2000 Å. Also, because these oxide layers 108 and 110 becomes the thickness for forming an offset gate region in the subsequent ion doping process, the length of the offset gate region can be decided by the above mentioned anodizing process.

[0019] Next, by the ion doping method, an impurity (phosphorus or boron) is implanted into the silicon region using the gate electrode 107, its peripheral oxide layer 108, the gate electrode 109 and its peripheral oxide layer 110 as masks. Phosphine ( $\text{PH}_3$ ) or diborane ( $\text{B}_2\text{H}_6$ ) are used as doping gas, and an acceleration voltage is 60 to 90kV, for example 80kV in the former case; and is 40 to 80kV, for example 65kV in the latter case. One dose of impurity is  $1 \times 10^{15}$  to  $8 \times 10^{15} \text{cm}^{-2}$ , for example, phosphorus is  $2 \times 10^{15} \text{cm}^{-2}$  and boron is  $5 \times 10^{15} \text{cm}^{-2}$ . In case of doping, a selective doping is performed on the place in which respective elements are needed by covering one side of the regions with photoresist. As a result, N type impurity regions 114 and 116, and P type impurity regions 111 and 113 are formed, so that the region for the P channel type TFT (PTFT) and that for the N channel type TFT (NTFT) can be formed.

[0020] After that, annealing is performed by an irradiation of a laser beam. KrF excimer laser (wavelength is 248nm, pulse width is 20nsec) is used as a laser beam, but other kinds of lasers can be used. As the irradiation condition of a laser beam, the energy density is 200 to 400mJ/cm<sup>2</sup>, for example, 250mJ/cm<sup>2</sup>; the number of irradiation is 2 to 10 shots, for example, 2 shots. It is useful that the substrate is heated up to at 200 to 450°C when this laser beam is irradiated.

[0021] Continuously, a silicon oxide film 118 is formed to a thickness of 6000 Å as an interlayer insulating film by the plasma CVD method. Contact holes are formed in this film so that electrodes and wirings of TFTs 117, 120 and 119 are formed with a multi-layered film of metallic materials, for example, titanium nitride and aluminum. At last, the annealing in a hydrogen atmosphere of 1 atm at 350°C for 30 minutes is performed. A semiconductor circuit is completed by the above-mentioned processes. (Figure 1(D)). This circuit is the complementary constitution that the gate electrode is an input and the electrode 120 is an output.

[0022] In the present embodiment, as a method of introducing nickel, the whole of the silicon film 104 is crystallized equally by forming a Ni thin film selectively (it is too thin to observe as a film.) overall on the base film 102 under the amorphous silicon film 104, and also, selective crystallization can be performed by introducing nickel to one portion. In this case, because a crystal growth around

the region in which nickel is introduced is caused toward the parallel direction to the film, for example, a TFT with high mobility can be formed by matching the direction of the crystal growth and the moving direction of a carrier. In the present embodiment, the concentration of nickel element contained in the crystalline silicon film is  $10^{17}$  to  $10^{18}\text{cm}^{-3}$  examined by SIMS (secondary ion mass spectrometry).

[0023] The method of forming a film of an amorphous silicon in advance and implanting nickel ion selectively into the amorphous silicon film 104 by the ion doping can be adopted. In this case, it is characterized as the concentration of a nickel element can be controlled.

[0024] (Embodiment 2) The present embodiment is an example providing an N channel type TFT to each pixel as a switching element in an active type liquid crystal display device. The following explanation relates to one pixel, but a lot of pixels (generally hundreds thousands) are formed with the same constitution.

[0025] Figure 2 shows an outline of the manufacturing process of the present embodiment. In the present embodiment, a Corning 7059 glass substrate (1.1mm thick, 300mm x 400mm) is used as a translucent insulating substrate 301. First, a base film 302 (a silicon oxide film) is formed to a thickness of 1000Å by the sputtering on the glass substrate. Chlorine is doped into this silicon oxide film in order to increase the gettering effect of nickel.

[0026] After that, an amorphous silicon film 303 (the thickness is 300 to 1500Å, in this case 1000Å) is formed by the LPCVD method or the plasma CVD method, and a nickel silicide film (it is too thin to be shown.) is formed subsequently. This nickel silicide film is formed to a thickness of 5 to 200Å, for example, 20Å by the sputtering. This nickel silicide film is shown by the chemical formula of  $\text{NiSi}_x$ ,  $0.4 \leq x \leq 2.5$ , for example,  $x=2.0$ . That is to say, in the constitution of the present embodiment, after the amorphous silicon film 303 is formed, nickel is introduced to the top side of the film as a nickel silicide film.

[0027] Furthermore, a silicon oxide film 304 is formed to a thickness of 1000Å by the plasma CVD method using TEOS and oxygen in the same way as Embodiment 1. Then, in the same way as Embodiment 1, a PSG film 305 is applied by the spin coat method to a thickness of 200 to 2000Å, in this case 1000Å, and is formed by baking process at 200°C for thirty minutes.

[0028] After that, crystallization is performed by a thermal annealing after dehydrogenation at 400°C for one hour. This annealing process is performed in a hydrogen reduction atmosphere (preferably, a partial pressure of hydrogen is 0.1 to 1 atm) at 550°C for four hours. On this occasion, because the nickel silicide film is formed on the amorphous silicon film 303, crystallization is caused vertically to the substrate 201 from the nickel silicide film. Then, a crystalline

silicon film in which crystals are grown vertically to the substrate 201 can be obtained. (Figure 2 (B))

[0029] Next, an island-shaped semiconductor region (an active layer of TFT) is formed by patterning (separating elements each other) the semiconductor region (shown by 303) made of this crystalline silicon. Furthermore, a gate insulating film of silicon oxide (the thickness is 700 to 1200Å, typically 1000Å) 300 is formed by the plasma CVD method in an oxygen atmosphere using tetra-ethoxy-silane (TEOS) as a material. The substrate temperature is not more than 400°C, preferably 200 to 350°C in order to prevent the glass substrate from shrinking and curving. However, in the case of this substrate temperature, a lot of hydrocarbon radicals are contained and a lot of recombination centers exist in the oxide film, for example, an interface level density is not less than  $10^{12}\text{cm}^{-2}$ , so that it cannot be used as a gate insulating film.

[0030] Accordingly, the improvement of the characteristic of the gate oxide film 300 is designed by promoting crystallinity of this crystalline silicon film with irradiation of KrF laser beam shown by an arrow in Figure 2 (c) simultaneously with by reducing recombination centers (trap center) of the gate oxide film 300. Besides, this laser irradiation is preferably performed under decompression which is not more than 10torr, because the separation of carbon atom in the oxide film is easier in the decompression condition. The laser beam energy density is set from 250 to 300mJ/cm<sup>2</sup>, and also the laser beam is shot ten times in this case. The substrate temperature is kept preferably 200 to 400°C, typically 300°C. As a result, the silicon film 204 is improved in crystallinity, and also the interface trap density of the gate oxide film is reduced to not more than  $10^{11}\text{cm}^{-2}$ .

[0031] Next, an anodic oxide layer 314 is formed to a thickness of 2000Å on the surface of an aluminum wiring such as a gate electrode by forming an aluminum gate electrode 306, soaking the substrate and all in electrolytic solution to be an anode, and conducting electricity. Figure 3 (c) shows a state which this process is finished. Besides, after finishing anodic oxidation process, a negative voltage, for example, that of -100 to -200V can be applied for 0.1 to 5 hours to the contrary. In this case, the preferable substrate temperature is 100 to 250°C, typically 150°C. Movable ions in silicon oxide or at the interface of silicon oxide and silicon are drawn to the gate electrode (Al) by this process.

[0032] After that, a source 307 and a drain 309 of TFT, and a channel forming region 308 are formed by implanting boron as an N type impurity to the silicon film in a self-alignment manner by the ion doping method. Furthermore, as shown in Figure 2 (c), the crystallinity of the silicon film of which crystallinity is deteriorated by this ion doping is improved by being irradiated with the KrF laser beam. In this case, the laser beam energy density is set from 250 to 300mJ/cm<sup>2</sup>.



The sheet resistance of the source and the drain of this TFT is 300 to 800  $\Omega/\text{cm}^2$  by this laser irradiation.

[0033] After that, an interlayer insulator 310 is formed by polyimide, furthermore a pixel electrode 313 is formed by ITO. Then, contact holes are formed, electrodes 311 and 312 are formed with a multi-layered film of chrome and aluminum in the source and the drain regions of TFT, and one electrode 312 between them is connected to the ITO 313 of a pixel electrode. The chrome and aluminum multi-layered film comprises the chrome film formed to a thickness of 20 to 2000 Å, in this case 1000 Å for the lower layer, and the aluminum film formed to a thickness of 1000 to 20000 Å, in this case 5000 Å for the upper layer. It is desired that these films are formed continuously by the sputtering. Finally, hydrogenation of silicon is completed by annealing at 200 to 300°C for two hours in hydrogen. Thus, TFT is accomplished. And, one substrate in the display portion of an active matrix type liquid crystal display device is accomplished by arranging a lot of TFTs formed at the same time to the matrix shape.

[0034] Adopting the constitutions of Embodiment 1 and Embodiment 2 the above-mentioned can perform gettering for a nickel element in the crystalline silicon, and prevent detrimental effect of a nickel element on operation of the device.

[0035] Besides, in the present embodiments the above-mentioned, the PSG film (phosphosilicate glass) is used as a material for gettering, and also the BSG film (boronsilicate glass) and the BPSG film can be used. Furthermore, the gettering effect can be increased by doping a halogen element (for example, chlorine) into these films. Besides, though the spin coat method is used to make sure of evenness as a method of forming these films, the vapor phase growing method can be adopted.

[0036]

[Effect] By the constitution wherein the PSG film is formed on the substrate; the base film of silicon oxide is formed subsequently; furthermore the crystalline silicon crystallized at low temperature (it means crystallization at lower temperature than ever) by a metal element such as nickel is formed; it is able to prevent the electric characteristics of the semiconductor device using this crystalline silicon from receiving the detrimental effect by the existence of nickel.

[A brief explanation of Figures]

[Figure1] A manufacturing processes of the Embodiment are shown.

[Figure2] A manufacturing processes of the Embodiment are shown.

[An explanation of marks]

101 glass substrate

102 base film (silicon oxide film)

104 silicon film  
105 insulating film (silicon oxide film)  
106 PSG film  
107 gate electrode  
108 anodic oxide layer  
109 gate electrode  
110 anodic oxide layer  
111 source and drain region  
112 channel forming region  
113 drain and source region  
114 source and drain region  
115 channel forming region  
116 drain and source region  
117 electrode  
118 interlayer insulating thing  
120 electrode  
119 electrode  
301 glass substrate  
302 base film (silicon oxide film)  
303 silicon film  
304 insulating film (silicon oxide film)  
300 gate insulating film  
306 gate electrode  
307 source and drain region  
308 channel forming region  
309 drain and source region  
310 interlayer insulator  
311 electrode  
312 electrode  
313 ITO (pixel electrode)  
314 anodic oxide layer